

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

2- (JAPIO)
 ACCESSION NUMBER 93-109737
 TITLE MANUFACTURE OF THIN FILM TRANSISTOR
 PATENT APPLICANT (2350750) CASIO COMPUT CO LTD
 INVENTORS YAMADA, HIROYASU
 PATENT NUMBER 93 04 30 J05109737, JP 05-109737
 APPLICATION DETAILS 91 10 18 91JP-297647, 03-297647
 SOURCE 93 08 24 SECT. E, SECTION NO. 1420, VOL. 17, NO. 463, PG. 72
 INT'L PATENT CLASS H01L-021/322, H01L-029/784
 JAPIO CLASS 42.2 (ELECTRONICS--Solid State Components)
 FIXED KEYWORD CLASS R044 (CHEMISTRY--Photosensitive Resins), R096 (ELECTRONIC MATERIALS--Glass Conductors), R100 (ELECTRONIC MATERIALS--Ion Implantation)
 ABSTRACT PURPOSE: To eliminate crystal defect, impurities, etc., from an element activation region, at the time of manufacturing a thin film transistor.
 CONSTITUTION: On an insulative substrate 1, an amorphous silicon film 4 is deposited, thereon an oxide film 5 is formed, a photo resist mask 6 which is patterned and formed on the film 5 is used as a mask, and ions are implanted. Thereby only the amorphous silicon film 4 at the part corresponding to a region 3 where an element is not formed is turned into a high impurity region to form a gettering layer 7. By laser annealing after the photo resist film 6 is eliminated, the amorphous silicon film 4 is crystallized to form a polycrystalline silicon film. At the same time, crystal defect, impurities, etc., in the amorphous silicon film 4 of the part corresponding to an element formation region 2 are made to be absorbed in a high impurity region 7 around the defect and impurities. After that, the oxide film 5 is eliminated, and the polycrystalline silicon film (the gettering layer 7) in unnecessary parts is eliminated by element isolation. In this state, the polycrystalline silicon film is formed only in the element formation region 2 on the insulative substrate 1.

SS 2?
 prt sel pn

TERMS 1 THRU 2 ADDED TO DEFAULT SEL LIST

SS 2?
 file inpd, fsel 1

ELAPSED TIME ON WPAT: 0 02 HRS.
 ELAPSED TIME ON JAPIO: 0 01 HRS.
 ELAPSED TIME ON THIS POWERSEARCH SESSION: 0 03 HRS.

YOU ARE NOW CONNECTED TO INPADOC
 COVERS 1968/1973 THRU WEEKLY UPDATE (9919)

FAMILY SEARCH FEE REDUCED TO \$12 00 - SEE NEWSDOC N283

PTO 99-3671

CY=JP DATE=19930430 KIND=A
PN=05-109737

MANUFACTURE OF A THIN FILM TRANSISTOR
[Hakumaku toranjisuta no seizoohooohoo]

Yamada Hiroyasu

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. June 1999

Translated by: FLS, Inc.

PUBLICATION COUNTRY	(10):	JP
DOCUMENT NUMBER	(11):	5-109737
DOCUMENT KIND	(12):	A
	(13):	PUBLISHED UNEXAMINED PATENT APPLICATION (Kokai)
PUBLICATION DATE	(43):	19930430
APPLICATION NUMBER	(21):	3-297647
APPLICATION DATE	(22):	19911018
INTERNATIONAL CLASSIFICATION	(51):	H 01 L 21/322; H 01 L 29/787
DOMESTIC CLASSIFICATION	(52):	
PRIORITY COUNTRY	(33):	
PRIORITY NUMBER	(31):	
PRIORITY DATE	(32):	
INVENTOR	(72):	Yamada Hiroyasu
APPLICANT	(71):	Kashio Keisanki K.K.
AGENT	(74):	Sugimura Jiroo
TITLE Film	(54):	Manufacture of a Thin Transistor
FOREIGN TITLE	(54A):	Hakumaku toranjisuta no seizooohoo
(54) Title of the Invention		Manufacture of a Thin Film Transistor

(57) Abstract

[Purpose]

To remove crystal imperfections, impurities, and the like from an element active region when making a thin film transistor.

[Constitution]

Amorphous silicon film (4) is accumulated onto insulating substrate (1) and oxide film (5) is formed on amorphous silicon film (4). Photoresist film (6) is formed as a mask on oxide film (5) and impregnated with ions, thereby making a high impurity region of only that section of amorphous silicon film (4) that corresponds to element non-formation region (3), rendering it into gettering layer (7). Photoresist film (6) is then removed, after which amorphous silicon film (4) is crystalized by laser annealing. Together with rendering this a polysilicon film, crystal imperfections, impurities, etc., in amorphous silicon film (4)'s section corresponding to element formation region (2) are absorbed in the surrounding high impurity (gettering) layer (7). Afterwards, oxide film (5) is removed, and the unneeded section of the polysilicon layer (gettering layer (7)) is then removed by an element separation process. In this state the polysilicon film is formed only in element formation region (2) on insulating substrate (1).

[Claims]

[Claim 1]

The manufacture of a thin film transistor comprising accumulating a semiconductor film to an element formation region and its surrounding element non-formation region; making a high impurity region only of a section of the semiconductor thin film that corresponds to the element non-formation region and making it into a gettering layer; by annealing, absorbing in the surrounding gettering layer crystal imperfections, impurities, etc., in the semiconductor thin film section corresponding to the element formation region; removing the gettering layer.

[Detailed Explanation of the Invention]

[0001] [Industrial Field of Application]

This invention pertains to the manufacture of a thin film transistor.

[0002] [Prior Art]

Transistor manufacturing technologies using silicon wafers acquire satisfactory element characteristics by using gettering technologies and removing crystal imperfections, impurities, and the like, from the element active region. In thin film transistor manufacturing technologies, semiconductor thin films, made of amorphous silicon or polysilicon, are accumulated on insulating substrates made from glass and like materials. Afterwards, the semiconductor thin film is pattern formed to an

element formation region by an element separation process. The result is that the gettering technology that has employed transistor manufacture technologies using silicon wafers cannot be utilized.

[0003] [Problems that the Invention is to Solve]

Since gettering technology that has employed transistor manufacture technologies using silicon wafers cannot be utilized in prior thin film transistor manufacturing technologies there are these problems. Instances arise where crystal imperfections, impurities, and the like cannot be removed from the element active region which, in its turn, prohibits the acquisition of satisfactory element characteristics. The objective of the present invention is to offer the manufacture of a thin film transistor that can remove crystal imperfections, impurities, and such from the element active region.

[0004] [Means of Solving the Problems]

This invention will solve the prior problems by accumulating a semiconductor film to an element formation region and its surrounding element non-formation region; making a high impurity region only of a section of the semiconductor thin film that corresponds to the element non-formation region and making it into a gettering layer; annealing so that it absorbs in the surrounding gettering layer crystal imperfections, impurities, etc., in the semiconductor thin film section corresponding to the

element formation region; and removing the gettering layer.

[0005] [Operation of the Invention]

Crystal imperfections, impurities, and the like can be removed from the element active region in accord with this invention. The reason for this is that a high impurity region is made only of a section of the semiconductor thin film that corresponds to the element non-formation region, making it into a gettering layer. Afterwards, by annealing, it absorbs layer crystal imperfections, impurities, etc., in the semiconductor thin film section corresponding to the element formation region in the surrounding gettering. Finally, the gettering layer is removed.

[0006] [Working Example]

Figures 1-4 illustrate each manufacturing process for the thin film transistor in this invention's one working example. The thin film's manufacture will be explained while referencing these drawings in order.

[0007]

Figure 1 shows amorphous silicon film (4) accumulated on element formation region (2) and its surrounding element non-formation layer (3) on insulating substrate (1), which is formed of glass and like materials. Oxide film (5) is next accumulated on amorphous silicon film (4) by [a] thermal oxidation process. Photoresist film (6) is then pattern formed to the surface of the

section of oxide film (5) that corresponds to element formation region (2). With photoresist film (6) as a mask an ion injector injects phosphorous, boron, argon, oxygen, carbon, and other gettering ions into the section of amorphous silicon film 4 that corresponds to element non-formation region (3). Only the section of amorphous silicon film (4) corresponding thereto (3) is changed to a high impurity region, making gettering layer (7). Photoresist film (6) is removed afterwards.

[0008]

Figure 2 shows that amorphous silicon film (4) is crystallized by laser annealing. Together with rendering this a polysilicon film, crystal imperfections, impurities, etc., in amorphous silicon film (4)'s section corresponding to element formation region (2) are absorbed in the surrounding high impurity (gettering) layer (7). Afterwards, oxide film (5) is removed, and the unneeded section of polysilicon film (8) (gettering layer (7)) corresponding to element non-formation region (3) is then removed by an element separation process. In this state polysilicon film (8) is formed only in element formation region (2) on insulating substrate (1).

[0009]

Figure (3) indicates that gate insulating film (9), composed of a silicon oxide or nitride, is formed to the entire surface. Gate electrode (11), composed of aluminum, is next pattern formed

to the surface of the section of gate insulating film (9) corresponding to polysilicon film (8)'s channel (10). With gate electrode (11) as a mask an ion injector then injects boron and other source · drain formation ions, forming source · drain regions (12) in polysilicon film (8) in both sides of gate electrode (11).

[0010]

Figure 4 indicates that interlayer insulating film (13), composed of a silicon oxide or nitride, is formed to the entire surface. Contact holes (14) are then formed to interlayer insulating film (13) and gate insulating film (9) corresponding to source · drain region (12). Aluminum source · drain electrode(s) (15), connected to source · drain region (12) through contact holes (14), is next pattern formed to the surface of interlayer insulating film (13). The thin film transistor is manufactured in this way.

[0011]

In the thin film transistor thus manufactured only the section of amorphous silicon film (4) corresponding to element non-formation section (3) is made a high impurity region, making gettering layer (7). Afterwards, crystal imperfections, impurities, and the like in the section of amorphous silicon film (4) corresponding to element formation section (2) are absorbed into the surrounding gettering layer (7) by an annealing process.

These crystal imperfections, impurities, etc. can then be removed from the element active region, because gettering layer (7) is removed, and satisfactory element characteristics can be acquired in their turn. Amorphous silicon film (4) is crystalized by one annealing process, making it into polysilicon film (8). The crystal imperfections, impurities, and such in the section of amorphous silicon film (4) that corresponds to element formation region (2) can be absorbed into the surrounding gettering layer (7) at the same time. The number of processes are, as much as possible, able to be kept to a minimum, because an element separation process removes unneeded polysilicon film (8) (gettering layer (7)) corresponding to element non-formation region (4). Moreover, if the same ions used as gettering ions are used for source · drain formation ions, then gettering ion impregnation can be performed by a source · drain formation ion injector.

[0012]

In the above working example amorphous silicon film (4), accumulated to the surface of insulating substrate (1), is crystalized and made into polysilicon film (8). Nonetheless, this is not the only way to accomplish this end. A polysilicon film may also be directly accumulated to the insulating substrate surface. A thermal diffusion method may be employed in place of the ion injector, and a high heat process may be applied in place

of laser annealing. Finally, the thin film transistor is not limited to a co-planer type; a staggered type can also be applied.

[0013]

In accord with the above explanation for this invention only the section of the semiconductor thin film that corresponds to the element non-formation region is made a high impurity region, rendering it into a gettering layer. Afterwards, crystal imperfections, impurities, etc. in the section of the semiconductor film corresponding to the element formation region are removed from the surrounding gettering layer by an annealing process. Since the gettering layer is later removed the crystal imperfections, impurities, etc. can be removed from the element active region and, in their turn, satisfactory element characteristics can be acquired.

[Effects of the Invention]

[Brief Explanation of the Drawings]

[Figure 1] Cross-sectional view of the state of the thin film transistor's manufacture in this invention's one working example when amorphous silicon and oxide films are formed on the insulating substrate surface, the photoresist film is pattern-formed on the surface as a mask, which gettering ions impregnate, and the gettering film is formed.

[Figure 2] Cross-sectional view of the state of the same thin film transistor's manufacture when the amorphous silicon film is crystalized by laser annealing after the photoresist film is removed and, together with rendering it a polysilicon film, crystal imperfections, impurities, etc., in the amorphous silicon film section corresponding to the element formation region are absorbed in the surrounding gettering layer.

[Figure 3] Cross-sectional view of the state of the same thin film transistor's manufacture when the gate insulating film and gate electrodes are formed after the oxide and unneeded polysilicon (gettering) films are removed, source · drain formation ions impregnate the gate electrodes used as a mask, and the source · drain regions are formed.

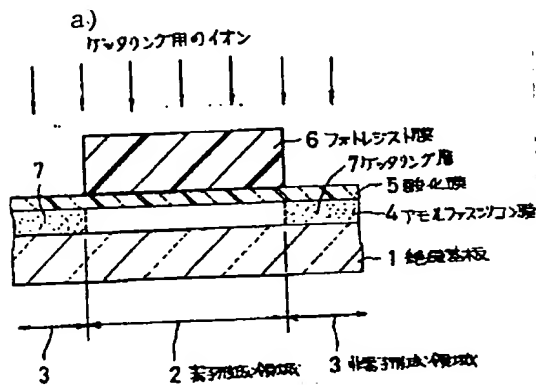
[Figure 4] Cross-sectional view of the state of the same thin film transistor's manufacture when the interlayer insulating film, contact holes, and source · drain electrodes are formed.

[Explanation of Reference Numerals]

1... Insulating substrate; 2... Element formation region; 3... Element non-formation region; 4... Amorphous silicon film; 5... Oxide film; 6... Photoresist film; 7... Gettering layer; 8... Polysilicon film; 9... Gate insulating film; 10... Channel region; 11... Gate electrode; 12... Source · drain region; 13... Interlayer insulating film; 14... Contact hole; 15... Source · drain electrode; a... Gettering ions; b... Laser annealing; c...

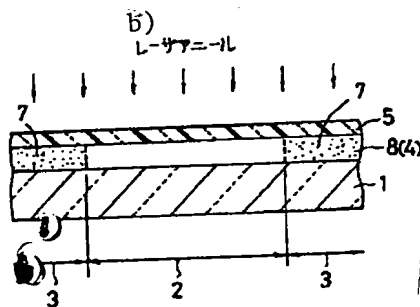
Source · drain formation ions.

[Figure 1]



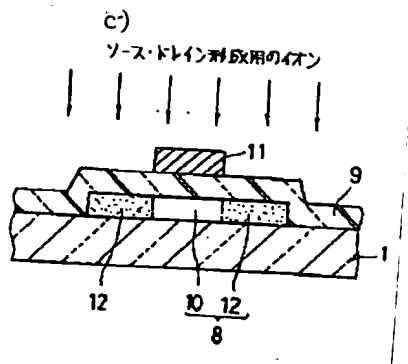
Key: 1) Insulating substrate; 2) Element formation region; 3) Element non-formation region; 4) Amorphous silicon film; 5) Oxide film; 6) Photoresist film; 7) Gettering layer; a) Gettering ions.

[Figure 2]



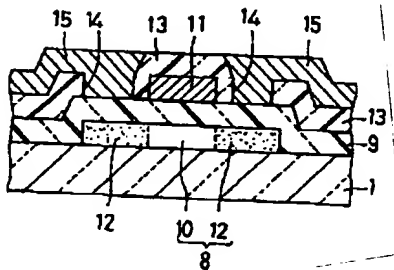
Key: 1) Insulating substrate; 2) Element formation region; 3) Element non-formation region; 4) Amorphous silicon film; 5) Oxide film; 7) Gettering layer; 8) Polysilicon film; b) Laser annealing.

[Figure 3]



Key: 1) Insulating substrate; 8) Polysilicon film; 9) Gate insulating film; 10) Channel region; 11) Gate electrode; 12) Source · drain region; c) Source · drain formation ions.

[Figure 4]



Key: 1) Insulating substrate; 8) Polysilicon film; 9) Gate insulating film; 10) Channel region; 11) Gate electrode; 12) Source · drain region; 13) Interlayer insulating film; 14) Contact hole; 15) Source · drain electrode.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-109737

(43) 公開日 平成5年(1993)4月30日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/322	P	8617-4M		
29/784		9056-4M	H 0 1 L 29/78	3 1 1 R

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平3-297647

(22) 出願日 平成3年(1991)10月18日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 山田 裕康

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

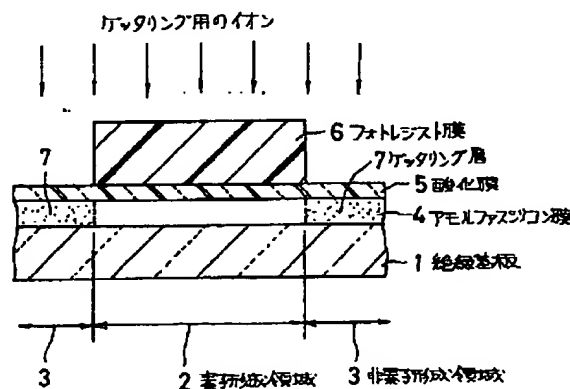
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 薄膜トランジスタの製造に際し、結晶欠陥や不純物等を素子活性領域から除去する。

【構成】 絶縁基板1上にアモルファスシリコン膜4を堆積し、その上に酸化膜5を形成し、その上にパターン形成したフォトリソ膜6をマスクとしてイオンを注入することにより、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッタリング層7とする。次に、フォトリソ膜6を除去した後レーザアニールすることにより、アモルファスシリコン膜4を結晶化してポリシリコン膜とすると共に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲の高不純物領域7に吸収させる。この後、酸化膜5を除去し、次いで素子分離により不要な部分のポリシリコン膜(ゲッタリング層7)を除去する。この状態では、絶縁基板1上の素子形成領域2のみにポリシリコン膜が形成されている。



【特許請求の範囲】

【請求項1】 素子形成領域およびその周囲の非素子形成領域に半導体薄膜を堆積し、次いで前記非素子形成領域に対応する部分の前記半導体薄膜のみを高不純物領域化してゲッターリング層とし、次いでアニールすることにより、前記素子形成領域に対応する部分の前記半導体薄膜における結晶欠陥や不純物等をその周囲の前記ゲッターリング層に吸収させ、次いで該ゲッターリング層を除去することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 シリコンウェーハを用いたトランジスタ製造技術では、ゲッターリング技術を用いて、結晶欠陥や不純物等を素子活性領域から除去することにより、良好な素子特性を得るようにしている。一方、薄膜トランジスタ製造技術では、ガラス等からなる絶縁基板上にアモルファスシリコンやポリシリコン等からなる半導体薄膜を堆積した後素子分離することにより、素子形成領域に半導体薄膜をパターン形成しているため、シリコンウェーハを用いたトランジスタ製造技術で用いられているゲッターリング技術を利用することができない。

【0003】

【発明が解決しようとする課題】 このように、従来の薄膜トランジスタ製造技術では、シリコンウェーハを用いたトランジスタ製造技術で用いられているゲッターリング技術を利用することができないので、結晶欠陥や不純物等を素子活性領域から除去することができず、ひいては良好な素子特性を得ることができない場合があるという問題があった。この発明の目的は、結晶欠陥や不純物等を素子活性領域から除去することのできる薄膜トランジスタの製造方法を提供することにある。

【0004】

【課題を解決するための手段】 この発明は、素子形成領域およびその周囲の非素子形成領域に半導体薄膜を堆積し、次いで非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッターリング層とし、次いでアニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッターリング層に吸収させ、次いでゲッターリング層を除去するようにしたものである。

【0005】

【作用】 この発明によれば、非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッターリング層とした後アニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッターリング層に吸収させ、この後ゲッターリング層を除去しているため、結晶欠陥や不純物等を素

子活性領域から除去することができる。

【0006】

【実施例】 図1～図4はこの発明の一実施例における薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、薄膜トランジスタの製造方法について説明する。

【0007】 まず、図1に示すように、ガラス等からなる絶縁基板1の上面の素子形成領域2およびその周囲の非素子形成領域3にアモルファスシリコン膜4を堆積する。次に、熱酸化により、アモルファスシリコン膜4の上面に酸化膜5を形成する。次に、素子形成領域2に対応する部分の酸化膜5の上面にフォトレジスト膜6をパターン形成する。次に、フォトレジスト膜6をマスクとして、非素子形成領域3に対応する部分のアモルファスシリコン膜4にイオン注入装置によりリン、ボロン、アルゴン、酸素、炭素等のゲッターリング用のイオンを注入し、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッターリング層7とする。この後、フォトレジスト膜6を除去する。

【0008】 次に、図2に示すように、レーザアニールすることにより、アモルファスシリコン膜4を結晶化してポリシリコン膜8とすると共に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッターリング層7に吸収させる。この後、酸化膜5を除去し、次いで素子分離により、非素子形成領域3に対応する部分の不要なポリシリコン膜8つまりゲッターリング層7を除去する。したがって、この状態では、絶縁基板1の上面の素子形成領域2のみにポリシリコン膜8が形成されている。

【0009】 次に、図3に示すように、全表面に酸化シリコンや窒化シリコン等からなるゲート絶縁膜9を形成する。次に、ポリシリコン膜8のチャネル領域10に対応する部分のゲート絶縁膜9の上面にアルミニウムからなるゲート電極11をパターン形成する。次に、ゲート電極11をマスクとしてイオン注入装置によりリンやボロン等のソース・ドレイン形成用のイオンを注入し、ゲート電極11の両側におけるポリシリコン膜8にソース・ドレイン領域12を形成する。

【0010】 次に、図4に示すように、全表面に酸化シリコンや窒化シリコン等からなる層間絶縁膜13を形成する。次に、ソース・ドレイン領域12に対応する部分の層間絶縁膜13およびゲート絶縁膜9にコンタクトホール14を形成する。次に、コンタクトホール14を介してソース・ドレイン領域12と接続されるアルミニウムからなるソース・ドレイン電極15を層間絶縁膜13の上面にパターン形成する。かくして、薄膜トランジスタが製造される。

【0011】 このようにして製造された薄膜トランジスタでは、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッターリング

3

層7とした後アニールすることにより、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッターリング層7に吸収させ、この後ゲッターリング層7を除去しているので、結晶欠陥や不純物等を素子活性領域から除去することができ、ひいては良好な素子特性を得ることができる。また、1回のアニール工程により、アモルファスシリコン膜4を結晶化してポリシリコン膜8とすると同時に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッターリング層7に吸収させることができ、また素子分離により、非素子形成領域4に対応する部分の不要なポリシリコン膜8つまりゲッターリング層7を除去しているので、工程数なるべく増加しないようにすることができる。さらに、ゲッターリング用のイオンとしてソース・ドレイン形成用のイオンと同じイオンを用いることにすれば、ゲッターリング用のイオンの注入をソース・ドレイン形成用のイオン注入装置によって行うこともできる。

【0012】なお、上記実施例では、絶縁基板1の上面に堆積したアモルファスシリコン膜4を結晶化してポリシリコン膜8としているが、これに限らず、絶縁基板の上面にポリシリコン膜を直接堆積するようにしてもよい。また、イオン注入装置の代わりに、熱拡散法を用いてもよく、またレーザアニールの代わりに、高温熱処理を施してもよい。さらに、コプラナ型の薄膜トランジスタに限らず、スタガ型の薄膜トランジスタにも適用することができる。

【0013】

【発明の効果】以上説明したように、この発明によれば、非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッターリング層とした後アニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッターリング層に吸収させ、この後ゲッターリング層を除去している

4

ので、結晶欠陥や不純物等を素子活性領域から除去することができ、ひいては良好な素子特性を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例における薄膜トランジスタの製造に際し、絶縁基板の上面にアモルファスシリコン膜および酸化膜を形成し、さらにその上面にパターン形成したフォトリソ膜をマスクとしてゲッターリング用のイオンを注入してゲッターリング層を形成した状態の断面図。

【図2】同薄膜トランジスタの製造に際し、フォトリソ膜を除去した後レーザアニールすることにより、アモルファスシリコン膜を結晶化してポリシリコン膜とすると共に素子形成領域に対応する部分のアモルファスシリコン膜における結晶欠陥や不純物等をその周囲のゲッターリング層に吸収させた状態の断面図。

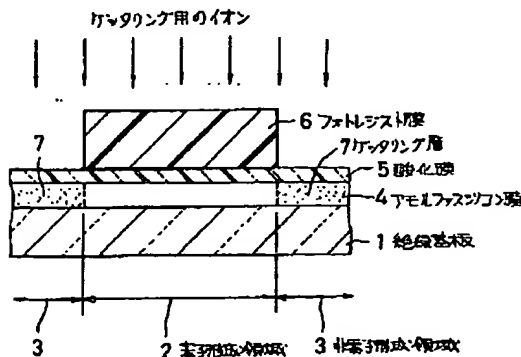
【図3】同薄膜トランジスタの製造に際し、酸化膜および不要なポリシリコン膜（ゲッターリング層）を除去した後ゲート絶縁膜およびゲート電極を形成し、さらにゲート電極をマスクとしてソース・ドレイン形成用のイオンを注入してソース・ドレイン領域を形成した状態の断面図。

【図4】同薄膜トランジスタの製造に際し、層間絶縁膜、コンタクトホールおよびソース・ドレイン電極を形成した状態の断面図。

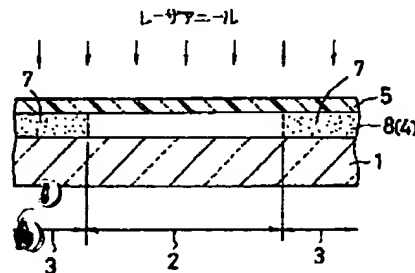
【符号の説明】

- 1 絶縁基板
- 2 素子形成領域
- 3 非素子形成領域
- 4 アモルファスシリコン膜
- 5 酸化膜
- 7 ゲッターリング層
- 8 ポリシリコン膜

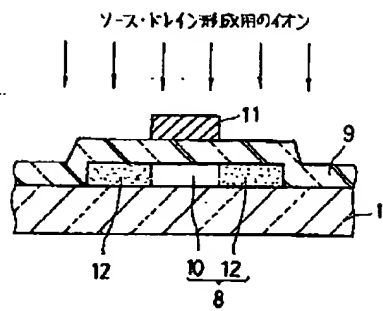
【図1】



【図2】



【図3】



【図4】

